

Front Side Bus {FSB} QuickPath Interconnect {QPI}

Oleh :

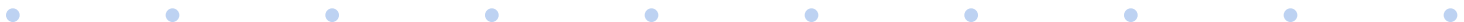
Ludy Herdina Y (14111023)
Andi Gustanto M (14111020)

Front Side Bus

- Dalam prosesor multi-core , yang bus belakang sisi sering internal dengan front-side bus untuk komunikasi eksternal
- Sebuah front-side bus (FSB) adalah antarmuka komunikasi komputer (bus) sering digunakan dalam komputer Intel-chip berbasis pada 1990-an dan 2000-an. Bersaing EV6 bus melayani fungsi yang sama untuk CPU AMD. Keduanya biasanya membawa data antara central processing unit (CPU) dan memory controller hub, yang dikenal sebagai Northbridge .Tergantung pada implementasi, beberapa komputer mungkin juga memiliki bus back-sisi yang menghubungkan CPU ke tembolok . Ini bus dan cache terhubung lebih cepat daripada mengakses memori sistem (atau RAM) melalui front-side bus. Kecepatan front side bus sering digunakan sebagai ukuran penting dari kinerja komputer. Arsitektur asli front-side bus telah digantikan oleh HyperTransport atau Intel QuickPath Interconnect volume CPU modern.

CPU

frekuensi di mana prosesor (CPU) beroperasi ditentukan dengan menerapkan clock multiplier ke front-side bus (FSB) dengan kecepatan dalam beberapa kasus. Sebagai contoh, prosesor berjalan pada 3200 MHz mungkin menggunakan FSB 400 MHz. Ini berarti ada internal jam multiplier pengaturan (juga disebut bus / rasio inti) dari 8. Artinya, CPU diatur untuk berjalan pada 8 kali frekuensi front-side bus: $400 \text{ MHz} \times 8 = 3200 \text{ MHz}$. Kecepatan CPU yang berbeda dicapai dengan memvariasikan baik frekuensi FSB atau multiplier CPU.



Memori

Mengatur kecepatan FSB adalah terkait langsung dengan kelas kecepatan memori sistem harus digunakan. Bus memori menghubungkan Northbridge dan RAM, seperti front-side bus menghubungkan CPU dan Northbridge. Seringkali, kedua bus harus beroperasi pada frekuensi yang sama. Meningkatkan front-side bus dengan 450 MHz dalam banyak kasus juga berarti menjalankan memori pada 450 MHz.



Bus Peripheral

- Serupa dengan bus memori, PCI dan AGP bus juga dapat menjalankan asynchronously dari front-side bus. Dalam sistem lama, bus ini dioperasikan pada set bagian dari frekuensi front-side bus. Fraksi ini didirikan oleh BIOS . Dalam sistem yang lebih baru, PCI, AGP, dan PCI Express bus perifer sering menerima mereka sendiri sinyal clock , yang menghilangkan ketergantungan mereka pada front-side bus untuk waktu.



Overclocking

- Overclocking diatur untuk berjalan, dan, bila perlu, mengubah tegangan dikirim ke komponen untuk memungkinkan untuk beroperasi pada frekuensi yang lebih tinggi lebih stabil .



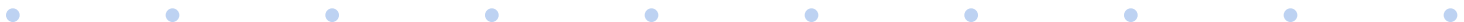
Evolusi

- front-side bus memiliki keuntungan dari fleksibilitas yang tinggi dan biaya rendah ketika pertama kali dirancang. Sederhana multiprocessors simetris menempatkan sejumlah CPU pada FSB bersama, meskipun kinerja tidak bisa skala linear karena bandwidth kemacetan . The front-side bus yang digunakan dalam semua Intel Atom , Celeron , Pentium , Core 2 , dan Xeon model prosesor melalui sekitar 2008. Awalnya, bus ini adalah titik yang menghubungkan pusat untuk semua perangkat sistem dan CPU.



Apa itu QPI ???

- **Intel QuickPath Interconnect**
- Intel QuickPath Interconnect (QPI) adalah point-to-point prosesor interkoneksi yang dikembangkan oleh Intel yang menggantikan front-side bus (FSB) di Xeon, Itanium, dan platform desktop tertentu sejak tahun 2008. Sebelum pengumuman nama itu, Intel menyebutnya sebagai umum System Interface (CSI). inkarnasi sebelumnya dikenal sebagai Protokol Namun lain (YAP) dan YAP +.



Sejarah dan Perkembangan

Meskipun kadang-kadang disebut "bus", QPI adalah point-to-point interkoneksi. Hal ini dirancang untuk bersaing dengan HyperTransport yang telah digunakan oleh Advanced Micro Devices (AMD) sejak sekitar tahun 2003.

Intel QPI dikembangkan di perusahaan Massachusetts Microprocessor Design Center (MMDC) oleh anggota apa yang telah menjadi Alpha Development Group , yang Intel telah mengakuisisi dari Compaq dan HP dan pada gilirannya awalnya berasal dari Digital Equipment Corporation (DEC).pengembangannya telah dilaporkan pada awal 2004



Implementasi

- QPI adalah elemen dari arsitektur sistem yang Intel menyebut arsitektur QuickPath yang mengimplementasikan apa yang Intel menyebut teknologi QuickPath. Dalam bentuk yang paling sederhana pada motherboard prosesor tunggal, seorang QPI tunggal digunakan untuk menghubungkan prosesor ke IO Hub (misalnya, untuk menghubungkan Intel Core i7 ke X58). Dalam kasus yang lebih kompleks arsitektur, terpisah pasang Link QPI menghubungkan satu atau lebih prosesor dan satu atau lebih hub IO atau routing hub dalam jaringan pada motherboard, yang memungkinkan semua komponen untuk mengakses komponen lain melalui jaringan. Seperti dengan HyperTransport, Arsitektur QuickPath mengasumsikan bahwa prosesor akan memiliki terintegrasi kontroler memori , dan memungkinkan akses memori non-seragam (NUMA) arsitektur.

Protokol lapisan

- QPI ditentukan sebagai arsitektur lima lapisan, dengan terpisah fisik, link, routing, transportasi, dan lapisan protokol. [1] Dalam perangkat dimaksudkan hanya untuk penggunaan QPI point-to-point tanpa forwarding, seperti Core i7-9xx dan prosesor Xeon DP, lapisan transport tidak hadir dan lapisan routing minimal.

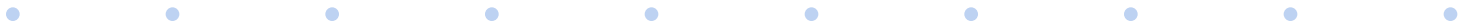


Link layer

- link layer bertanggung jawab untuk mengirim dan menerima flits 80-bit. Setiap melayang dikirim ke lapisan fisik empat phits 20-bit. Setiap melayang berisi CRC 8-bit yang dihasilkan oleh lapisan link pemancar dan muatan 72-bit. Jika link lapisan penerima mendeteksi kesalahan CRC, penerima memberitahu pemancar melalui melayang pada return link dari pasangan dan pemancar mengirim ulang melayang tersebut. The link layer menerapkan kontrol aliran menggunakan kredit / debit skema untuk mencegah buffer penerima dari meluap. The link layer mendukung enam kelas yang berbeda dari pesan untuk memungkinkan lapisan yang lebih tinggi untuk membedakan flits data dari pesan non-data yang terutama untuk pemeliharaan koherensi cache. Dalam implementasi kompleks arsitektur QuickPath, link layer dapat dikonfigurasi untuk mempertahankan aliran terpisah dan kontrol aliran untuk kelas yang berbeda. Hal ini tidak jelas apakah ini diperlukan atau diterapkan untuk implementasi-prosesor tunggal dan dual-prosesor.

Lapisan fisik

- Lapisan fisik terdiri dari kabel aktual dan pemancar dan penerima diferensial, ditambah logika tingkat terendah yang mentransmisikan dan menerima unit-layer fisik. Fisik-layer Unit adalah 20-bit "Phit." Lapisan fisik mengirimkan 20-bit "Phit" menggunakan jam tepi tunggal pada 20 jalur ketika semua 20 jalur yang tersedia, atau 10 atau 5 jalur ketika QPI ulang karena kegagalan. Perhatikan bahwa selain sinyal data, sinyal clock diteruskan dari pemancar ke penerima (yang menyederhanakan pemulihan jam dengan mengorbankan pin tambahan).



Routing lapisan

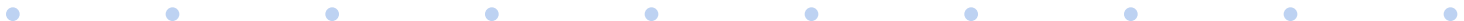
Routing Lapisan mengirimkan unit 72-bit yang terdiri dari header 8-bit dan 64-bit payload. Header berisi tujuan dan jenis pesan. Ketika lapisan routing yang menerima unit, mengkaji tabel routing untuk menentukan apakah unit telah mencapai tujuannya. Jika demikian itu disampaikan ke lapisan berikutnya yang lebih tinggi. Jika tidak, ia akan dikirim pada outbond QPI benar. Pada perangkat dengan hanya satu QPI, lapisan routing minimal. Untuk implementasi yang lebih kompleks, tabel routing lapisan routing yang adalah lebih kompleks, dan dimodifikasi secara dinamis untuk menghindari gagal QPI link.

Lapisan Transport

- Lapisan transport tidak diperlukan dan tidak hadir dalam perangkat yang ditujukan untuk hanya koneksi point-to-point. Ini termasuk Core i7. Lapisan transport mengirim dan menerima data melalui jaringan QPI dari rekan-rekan pada perangkat lain yang mungkin tidak terhubung langsung (yaitu, data yang mungkin telah disalurkan melalui perangkat intervensi.) Lapisan transport memverifikasi bahwa data selesai, dan jika tidak, itu permintaan pengiriman ulang dari rekan-nya.

Protokol lapisan

- Lapisan protokol mengirimkan dan menerima paket atas nama perangkat. Sebuah paket khas adalah cache memori baris. Lapisan protokol juga berpartisipasi dalam cache pemeliharaan koherensi dengan mengirim dan menerima pesan koherensi cache.





MATUR SUWUN

-
-
-
-
-
-
-
-
-
-